

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-074974

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

G11C 16/06

(21)Application number : 2000-267861

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 05.09.2000

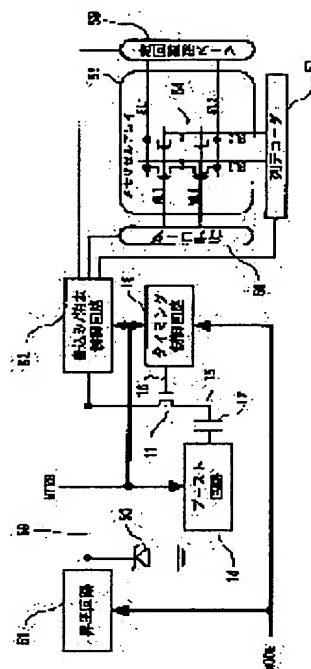
(72)Inventor : YAMAHIRA SEIJI

(54) BOOSTED VOLTAGE CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a boosted voltage control circuit in which wasteful current consumption can be prevented and the rewriting time of data for a memory cell can be shortened.

SOLUTION: With the electric charge generated by a boosting circuit 51, a capacitor 12 is charged during a setup time and the charge is accumulated, when NTRG is made 'L', a memory cell 54 is charged utilizing electric charges generated by the boosting circuit 51 and electric charges charged in the capacitor 12, also, after the capacitor 12 discharges electric charges, a transistor 11 is turned off by a timing control circuit 13.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-74974
(P2002-74974A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl.⁷

G 1 1 C 16/06

識別記号

F I

G 1 1 C 17/00

テマコード* (参考)

6 3 2 A 5 B 0 2 5

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願2000-267861 (P2000-267861)

(22) 出願日 平成12年9月5日 (2000.9.5)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 山平 征二

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100068087

弁理士 森本 義弘

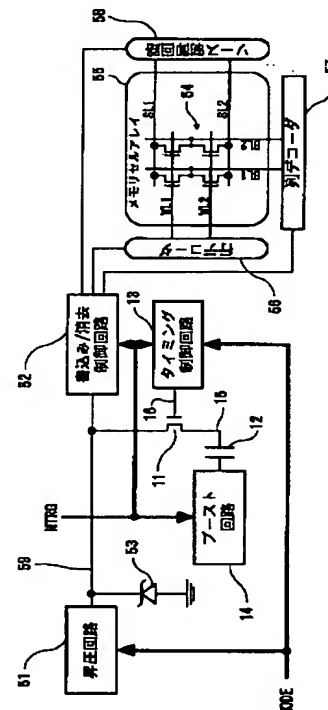
Fターム (参考) 5B025 AD10 AE05 AE06

(54) 【発明の名称】 昇圧電圧制御回路

(57) 【要約】

【課題】 無駄な消費電流をなくすることができるとともに、メモリセルに対するデータの書き換え時間を短縮することができる昇圧電圧制御回路を提供する。

【解決手段】 セットアップ時間中は昇圧回路51が生成した電荷をコンデンサ12に充電して蓄積するとともに、NTRGが“L”になった時は、昇圧回路51が生成した電荷とコンデンサ12に充電された電荷を利用してメモリセル54を充電し、更に、コンデンサ12が電荷を放電した後に、タイミング制御回路13によってトランジスタ11をオフする。



【特許請求の範囲】

【請求項 1】 電源電圧を昇圧して前記電源電圧以上の昇圧電圧を生成する昇圧回路を有し、前記昇圧回路からの昇圧電圧のメモリセルへの印加を制御する昇圧電圧制御回路において、前記メモリセルに対して、前記昇圧回路によって生成された昇圧電圧と前記電源電圧とを切換えて印加することにより、データの書き込みおよび消去を制御する書き込み／消去制御回路と、前記昇圧回路と書き込み／消去制御回路との接続点に第 1 の端子が接続されたトランジスタと、前記書き込み／消去制御回路による前記メモリセルへの印加電圧の切換えタイミングに対応させて、前記トランジスタに対し、そのゲートへの信号印加によるオン・オフ動作のタイミングを制御するタイミング制御回路と、前記トランジスタの第 2 の端子に接続され、前記タイミング制御回路により前記トランジスタがオンである時に、前記昇圧回路と書き込み／消去制御回路との接続点における電荷を充放電するコンデンサとを備えた昇圧電圧制御回路。

【請求項 2】 タイミング制御回路によりトランジスタがオンであり、書き込み／消去制御回路によりメモリセルへ昇圧回路からの昇圧電圧を印加するタイミングで、コンデンサの前記トランジスタとの接続端とは反対側の端子を通じて、前記コンデンサの充電電荷をブーストするブースト回路を備えた請求項 1 に記載の昇圧電圧制御回路。

【請求項 3】 電源電圧を昇圧して前記電源電圧以上の昇圧電圧を生成する昇圧回路を有し、前記昇圧回路からの昇圧電圧のメモリセルへの印加を制御する昇圧電圧制御回路において、前記メモリセルに対して、前記昇圧回路によって生成された昇圧電圧と前記電源電圧とを切換えて印加することにより、データの書き込みおよび消去を制御する書き込み／消去制御回路と、前記昇圧回路と書き込み／消去制御回路との接続点に第 1 の端子が接続されたトランジスタと、前記トランジスタの第 2 の端子に接続されたコンデンサと、前記書き込み／消去制御回路による前記メモリセルへの印加電圧の切換えタイミングに対応させて、前記コンデンサと前記書き込み／消去制御回路の各電圧レベルを比較し、その比較結果に応じて、前記トランジスタに対し、そのゲートへの信号印加によるオン・オフ動作のタイミングを制御する電圧比較回路とを備え、前記コンデンサを、前記電圧比較回路により前記トランジスタがオンである時に、前記トランジスタを介して前記昇圧回路と書き込み／消去制御回路との接続点における電荷を充放電するように、前記トランジスタに接続した昇圧電圧制御回路。

【請求項 4】 電圧比較回路によりトランジスタがオンであり、書き込み／消去制御回路によりメモリセルへ昇圧回路からの昇圧電圧を印加するタイミングで、コンデンサの前記トランジスタとの接続端とは反対側の端子を通じて、前記コンデンサの充電電荷をブーストするブース

ト回路を備えた請求項 3 に記載の昇圧電圧制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、昇圧回路によって生成された昇圧電圧のメモリセルへの印加を制御する昇圧電圧制御回路に関するものである。

【0002】

【従来の技術】近年、コンピュータ応用機器における情報データの記録媒体として広く利用されており、電気的にデータが書換え可能な記録媒体の一種であるフラッシュメモリでは、そのデータ書換えには機器本体を稼働させるための電源電圧より高い電圧を必要とし、単一電源でデータ書換えを行うための高い電圧を発生する昇圧回路が用いられる。

【0003】このような昇圧回路は高い電圧を発生できるが、一方で電流供給能力が低く、そのため、フラッシュメモリを構成するメモリセルに効率的に電荷を供給するための昇圧電圧制御回路が必要である。

【0004】以上のような従来の昇圧電圧制御回路について、図面を参照しながら以下に説明する。図 5 (a) は従来の昇圧電圧制御回路を含む電源系回路の構成を示すブロック図である。図 5 (a) において、51 は電源電圧以上の電圧を生成する昇圧回路、52 はメモリセルアレイ 55 に対して昇圧回路 51 によって生成された昇圧電圧と電源電圧とを切換えて供給する書き込み／消去制御回路、53 は昇圧回路 51 からの昇圧電圧をクランプするクランプダイオード、54 はデータを記憶するメモリセル、55 は複数のメモリセル 54 をマトリックス状に接続した構成から成るメモリセルアレイ、56 はメモリセル 54 のワード線 (WL) を選択する行デコーダ、57 はメモリセル 54 のビット線 (BL) を選択する列デコーダ、58 はメモリセル 54 のソース線 (SL) を選択するソース制御回路、59 は昇圧回路 51 の出力端子である。

【0005】従来の昇圧電圧制御回路は、図 5 (a) に示すように、昇圧回路 51 と、昇圧回路 51 に接続された書き込み／消去制御回路 52 と、クランプダイオード 53 より構成されている。

【0006】以上のように構成された昇圧電圧制御回路について、その動作を図 5 (b) を用いて以下に説明する。図 5 (b) は図 5 (a) の昇圧電圧制御回路における動作を示すタイムチャートである。

【0007】まず、MODE 信号がデータ書換えモードにセットされる。それによって、昇圧回路 51 が駆動し、昇圧回路 51 の出力端子 59 の電圧 VPP が上昇する。VPP がクランプダイオード 53 の耐圧電圧 VPP SET より上昇した場合、クランプダイオード 53 に電流が流れ、VPP を VPP SET に維持する。

【0008】次に、NTRG 信号が“L”となると、メモリセル 54 に VPP あるいは VPP より降圧した電圧

(V P P L) が印加される。データ書込み時は、V P P が書込み／消去制御回路 5 2 から行デコーダ 5 6 を介して W L へ印加され、V P P L が列デコーダ 5 7 を介して B L へ印加される。

【0009】また、データ消去時は、V P P が書込み／消去制御回路 5 2 からソース制御回路 5 8 を介して S L へ印加される。メモリセルの各端子に V P P を印加することで、データの書換えが実行される。

【0010】

【発明が解決しようとする課題】しかしながら上記のような従来の昇圧電圧制御回路では、MODE 信号がデータ書換えモードにセットされてから、N T R G 信号が“L”になるまでの時間（セットアップ時間）に、V P P が V P P S E T を上回るためにクランプダイオード 5 3 を介してグランド側に電流が流れ出し、無駄な消費電流が発生するという問題点を有していた。

【0011】また、N T R G 信号が“L”となってメモリセル 5 4 に V P P を印加する時、メモリセル 5 4 のゲート容量あるいは拡散容量に急激に電荷が移動するため、一時的に V P P が低下する ($\Delta V P P$)。そのため、再び V P P を V P P S E T まで昇圧する時間が必要となり、メモリセル 5 4 に所望の V P P あるいは V P P L を印加する時間が遅れ、これによって、データの書換え時間が長くなるという問題点も有していた。

【0012】本発明は、上記従来の問題点を解決するもので、クランプダイオードに流れる電流を削減して、無駄な消費電流をなくすことができるとともに、一時的に生じる V P P の低下を抑制して、データの書換え時間を短縮することができる昇圧電圧制御回路を提供する。

【0013】

【課題を解決するための手段】上記の課題を解決するために本発明の昇圧電圧制御回路は、電源電圧を昇圧して前記電源電圧以上の昇圧電圧を生成する昇圧回路を有し、前記昇圧回路からの昇圧電圧のメモリセルへの印加を制御する昇圧電圧制御回路において、前記メモリセルに対して、前記昇圧回路によって生成された昇圧電圧と前記電源電圧とを切換えて印加することにより、データの書込みおよび消去を制御する書込み／消去制御回路と、前記昇圧回路と書込み／消去制御回路との接続点に第 1 の端子が接続されたトランジスタと、前記書込み／消去制御回路による前記メモリセルへの印加電圧の切換えタイミングに対応させて、前記トランジスタに対し、そのゲートへの信号印加によるオン・オフ動作のタイミングを制御するタイミング制御回路と、前記トランジスタの第 2 の端子に接続され、前記タイミング制御回路により前記トランジスタがオンである時に、前記昇圧回路と書込み／消去制御回路との接続点における電荷を充放電するコンデンサとを備えた構成としたことを特徴とする。

【0014】以上により、セットアップ時間中は昇圧回

路が生成した電荷をコンデンサに充電して蓄積するとともに、N T R G が“L”になった時は、昇圧回路が生成した電荷とコンデンサに充電された電荷を利用してメモリセルを充電し、更に、コンデンサが電荷を放電した後に、タイミング制御回路によってトランジスタをオフすることができる。

【0015】

【発明の実施の形態】本発明の請求項 1 記載の昇圧電圧制御回路は、電源電圧を昇圧して前記電源電圧以上の昇圧電圧を生成する昇圧回路を有し、前記昇圧回路からの昇圧電圧のメモリセルへの印加を制御する昇圧電圧制御回路において、前記メモリセルに対して、前記昇圧回路によって生成された昇圧電圧と前記電源電圧とを切換えて印加することにより、データの書込みおよび消去を制御する書込み／消去制御回路と、前記昇圧回路と書込み／消去制御回路との接続点に第 1 の端子が接続されたトランジスタと、前記書込み／消去制御回路による前記メモリセルへの印加電圧の切換えタイミングに対応させて、前記トランジスタに対し、そのゲートへの信号印加によるオン・オフ動作のタイミングを制御するタイミング制御回路と、前記トランジスタの第 2 の端子に接続され、前記タイミング制御回路により前記トランジスタがオンである時に、前記昇圧回路と書込み／消去制御回路との接続点における電荷を充放電するコンデンサとを備えた構成とする。

【0016】この構成によると、セットアップ時間中は昇圧回路が生成した電荷をコンデンサに充電して蓄積するとともに、N T R G が“L”になった時は、昇圧回路が生成した電荷とコンデンサに充電された電荷を利用してメモリセルを充電することにより、メモリセルのデータ書換え時に必要な設定電圧 V P P S E T を更に短い時間で供給し、更に、コンデンサが電荷を放電した後に、タイミング制御回路によってトランジスタをオフする。

【0017】請求項 2 記載の昇圧電圧制御回路は、請求項 1 に記載のタイミング制御回路によりトランジスタがオンであり、書込み／消去制御回路によりメモリセルへ昇圧回路からの昇圧電圧を印加するタイミングで、コンデンサの前記トランジスタとの接続端とは反対側の端子を通じて、前記コンデンサの充電電荷をブーストするブースト回路を備えた構成とする。

【0018】この構成によると、セットアップ時間中は昇圧回路が生成した電荷をコンデンサに充電して蓄積するとともに、N T R G が“L”になった時は、昇圧回路が生成した電荷に加えて、ブースト回路によってブーストされたコンデンサの充電電荷を、メモリセルに供給して充電することにより、メモリセルのデータ書換え時に必要な設定電圧 V P P S E T を更に短い時間で供給する。

【0019】請求項 3 記載の昇圧電圧制御回路は、電源電圧を昇圧して前記電源電圧以上の昇圧電圧を生成する

5

昇圧回路を有し、前記昇圧回路からの昇圧電圧のメモリセルへの印加を制御する昇圧電圧制御回路において、前記メモリセルに対して、前記昇圧回路によって生成された昇圧電圧と前記電源電圧とを切換えて印加することにより、データの書込みおよび消去を制御する書込み／消去制御回路と、前記昇圧回路と書込み／消去制御回路との接続点に第1の端子が接続されたトランジスタと、前記トランジスタの第2の端子に接続されたコンデンサと、前記書込み／消去制御回路による前記メモリセルへの印加電圧の切換えタイミングに対応させて、前記コンデンサと前記書込み／消去制御回路の各電圧レベルを比較し、その比較結果に応じて、前記トランジスタに対し、そのゲートへの信号印加によるオン・オフ動作のタイミングを制御する電圧比較回路とを備え、前記コンデンサを、前記電圧比較回路により前記トランジスタがオンである時に、前記トランジスタを介して前記昇圧回路と書込み／消去制御回路との接続点における電荷を充放電するように、前記トランジスタに接続した構成とする。

【0020】この構成によると、セットアップ時間中に昇圧回路によって生成された電荷をコンデンサに蓄積するとともに、コンデンサとメモリセルの電圧レベルを比較してコンデンサの電荷の充放電を制御しているため、コンデンサが容量負荷とならない限界まで、コンデンサからメモリセルへ電荷を供給し、さらに、データの書換え対象となるメモリセル数に応じて、適切な電荷量をメモリセルに供給する。

【0021】請求項4記載の昇圧電圧制御回路は、請求項3に記載の電圧比較回路によりトランジスタがオンであり、書込み／消去制御回路によりメモリセルへ昇圧回路からの昇圧電圧を印加するタイミングで、コンデンサの前記トランジスタとの接続端とは反対側の端子を通じて、前記コンデンサの充電電荷をブーストするブースト回路を備えた構成とする。

【0022】この構成によると、セットアップ時間中は昇圧回路が生成した電荷をコンデンサに充電して蓄積するとともに、NTRGが“L”になった時は、昇圧回路が生成した電荷に加えて、ブースト回路によってブーストされたコンデンサの充電電荷を、メモリセルに供給して充電することにより、メモリセルのデータ書換え時に必要な設定電圧VPPSETを更に短い時間で供給する。

【0023】以下、本発明の実施の形態を示す昇圧電圧制御回路について、図面を参照しながら具体的に説明する。

(実施の形態1) 本発明の実施の形態1の昇圧電圧制御回路を説明する。

【0024】図1は本実施の形態1の昇圧電圧制御回路の構成を示すブロック図である。図1において、12はデータの書換え前に昇圧回路51で発生した電荷を充電

6

し、データの書換え時にメモリセル54へ電荷を供給するコンデンサ、11は昇圧回路51とコンデンサ12間に配置されたトランジスタ、13はトランジスタ11のオン・オフの動作タイミングを制御するタイミング制御回路、14はコンデンサ12をブーストするブースト回路、15はコンデンサ12の第1のノード、16はタイミング制御回路の出力端子である。

【0025】なお、51は昇圧回路、52は書込み／消去制御回路、53はクランプダイオード、54はメモリセル、55はメモリセルアレイ、56は行デコーダ、57は列デコーダ、58はソース制御回路、59は昇圧回路51の出力端子であり、これらは図5(a)に示す従来例の構成と同じである。

【0026】本実施の形態1の昇圧電圧制御回路は、図1に示すように、昇圧回路51と、トランジスタ11と、コンデンサ12と、タイミング制御回路13と、ブースト回路14と、書込み／消去制御回路52と、クランプダイオード53とにより構成される。

【0027】以上のように構成された昇圧電圧制御回路について、その動作を以下に説明する。図2は図1の昇圧電圧制御回路における動作を示すタイムチャートである。

【0028】まず、MODE信号が、データ書換えモードにセットされる。それによって、昇圧回路51が駆動し始め、昇圧回路51の出力端子59の電圧レベルVPPが上昇する。この時点では、書込み／消去制御回路52は電源電圧を出力しているため、VPPに対して非導通状態であり、一方、タイミング制御回路13の出力電圧Vswが“H”であるため、トランジスタ11はオンしている。

【0029】したがって、昇圧回路51が生成した電荷は、トランジスタ11を介してコンデンサ12に充電され、ノード15の電圧Vchが上昇する。VPPがクランプダイオード53の耐圧電圧レベル(VPPSET)より上昇した時、クランプダイオード53にグランド側への電流が流れ始め、VPPはVPPSETとなり一定電圧を維持する。

【0030】次に、NTRG信号が“H”から“L”に変わり、これによって、書込み／消去制御回路52がVPPに対して導通状態になり、更にデータ書込み時には、行デコーダ56および列デコーダ57によって電圧を印加するメモリセル54が選択される。また、データ消去時には、ソース制御回路58によって電圧を印加するメモリセル54が選択される。また同時に、ブースト回路の出力電圧Vboostがコンデンサ12に印加され、ノード15の電圧VchがVPPSETから更に上昇する。

【0031】選択されたメモリセル54には、昇圧回路51が生成した電圧VPPに加えて、ブーストされたコンデンサの電圧Vchが印加される。これによって、N

TRG信号が”L”になった時に生じるVPPの一時的な低下を、従来の $\Delta VPP2$ から $\Delta VPP1$ に留まるように抑制することができる。

【0032】次に、コンデンサ12がメモリセル54に電荷を供給した後、タイミング制御回路13の出力電圧Vswが”H”から”L”へ変わり、これによって、VchがVPPSETより低下したコンデンサ12をノード59から切り離し、昇圧回路51の容量負荷となることを防ぐ。

【0033】以上により、クランプダイオードに流れる電流を削減して、無駄な消費電流をなくすことができるとともに、コンデンサが昇圧回路の容量負荷となることを防ぎ、一時的に生じるVPPの低下を抑制して、データの書換え時間を短縮することができる。

(実施の形態2) 本発明の実施の形態2の昇圧電圧制御回路を説明する。

【0034】図3は本実施の形態2の昇圧電圧制御回路の構成を示すブロック図である。図3において、21はコンデンサ12の電圧レベルとメモリセル54のワード線(WL)に印加される電圧レベルとを比較して、トランジスタ11のオン・オフ動作を制御する電圧比較回路、22は電圧比較回路21の出力端子、23は行デコーダ56の入力端子である。

【0035】なお、11はトランジスタ、12はコンデンサ、14はブースト回路で、15はトランジスタ11に接続されたコンデンサ12のノードで、これらは実施の形態1の構成と同じである。

【0036】また、51は昇圧回路、52は書込み／消去制御回路、53はクランプダイオード、54はメモリセル、55はメモリセルアレイ、56は行デコーダ、57は列デコーダ、58はソース制御回路、59は昇圧回路51の出力端子であり、これらは従来例の構成と同じである。

【0037】本実施の形態2の昇圧電圧制御回路は、図3に示すように、昇圧回路51と、トランジスタ11と、コンデンサ12と、電圧比較回路21と、ブースト回路14と、書込み／消去制御回路52と、クランプダイオード53とにより構成される。

【0038】以上のように構成された昇圧電圧制御回路について、その動作を以下に説明する。図4は図3の昇圧電圧制御回路における動作を示すタイムチャートである。

【0039】まず、MODE信号が、データ書換えモードにセットされる。それによって、昇圧回路51が駆動し始め、昇圧回路51の出力端子59の電圧レベルVPPが上昇する。この時点では、書込み／消去制御回路52は電源電圧を出力しているため、VPPに対して非導通状態であり、一方、電圧比較回路21の出力電圧Vswが”H”であるため、トランジスタ11はオンしている。

【0040】したがって、昇圧回路51が生成した電荷は、トランジスタ11を介してコンデンサ12に充電され、ノード15の電圧Vchが上昇する。VPPがクランプダイオード53の耐圧電圧レベル(VPPSET)より上昇した時、クランプダイオード53にグラウンド側への電流が流れ始め、VPPはVPPSETとなり一定電圧を維持する。

【0041】次に、NTRG信号が”H”から”L”に変わる。これによって、書込み／消去制御回路52がVPPに対して導通状態になり、更にデータ書込み時には行デコーダ56および列デコーダ57によって電圧を印加するメモリセル54が選択される。また、データ消去時にはソース制御回路58によって電圧を印加するメモリセル54が選択される。

【0042】また同時に、ブースト回路14の出力電圧Vboostがコンデンサ12に印加され、ノード15の電圧VchがVPPSETから更に上昇する。選択されたメモリセル54には、昇圧回路51が生成した電圧VPPに加えて、ブースト回路14によってブーストされたコンデンサ12の電圧Vchが印加される。これによって、NTRG信号が”L”になった時に生じるVPPの一時的な低下を、従来のような $\Delta VPP2$ から $\Delta VPP1$ に留まるように抑制することができる。

【0043】次に、電圧比較回路21による比較結果が、ノード15の電圧Vchとノード23の電圧Vmemが同じ電圧レベルVeqになった時、ノード22の電圧Vswが”H”から”L”へ変わり、トランジスタ11がオフとなる。これによって、コンデンサ12をノード59から切り離し、コンデンサ12が昇圧回路51の容量負荷となることを防ぐことができる。

【0044】以上により、クランプダイオードに流れる電流を削減して、無駄な消費電流をなくすことができるとともに、コンデンサが昇圧回路の容量負荷となることを防ぎ、一時的に生じるVPPの低下を抑制して、データの書換え時間を短縮することができる。

【0045】

【発明の効果】以上のように請求項1記載の発明によれば、セットアップ時間中は昇圧回路が生成した電荷をコンデンサに充電して蓄積するとともに、NTRGが

”L”になった時は、昇圧回路が生成した電荷とコンデンサに充電された電荷を利用してメモリセルを充電することにより、メモリセルのデータ書換え時に必要な設定電圧VPPSETを更に短い時間で供給し、更に、コンデンサが電荷を放電した後に、タイミング制御回路によってトランジスタをオフすることができる。

【0046】そのため、クランプダイオードに流れる電流を削減して、無駄な消費電流をなくすことができるとともに、コンデンサが昇圧回路の容量負荷となることを防ぎ、一時的に生じるVPPの低下を抑制して、データの書換え時間を短縮することができる。

【0047】また、請求項2記載の発明によれば、セットアップ時間中は昇圧回路が生成した電荷をコンデンサに充電して蓄積するとともに、NTRGが“L”になった時は、昇圧回路が生成した電荷に加えて、ブースト回路によってブーストされたコンデンサの充電電荷を、メモリセルに供給して充電することにより、メモリセルのデータ書換え時に必要な設定電圧VPPSETを更に短い時間で供給することができる。

【0048】そのため、クランプダイオードに流れる電流を削減して、無駄な消費電流をなくすことができるとともに、コンデンサが昇圧回路の容量負荷となることを防ぎ、一時的に生じるVPPの低下を抑制して、データの書換え時間を短縮することができる。

【0049】また、請求項3記載の発明によれば、セットアップ時間中に昇圧回路によって生成された電荷をコンデンサに蓄積することができる。そのため、クランプダイオードに流れる電流を削減して、無駄な消費電流をなくすことができる。

【0050】それに加えて、コンデンサとメモリセルの電圧レベルを比較してコンデンサの電荷の充放電を制御しているため、コンデンサが容量負荷とならない限界まで、コンデンサからメモリセルへ電荷を供給することができる。そのため、コンデンサが昇圧回路の容量負荷となることを防ぎ、一時的に生じるVPPの低下を抑制することができる。

【0051】さらに、データの書換え対象となるメモリセル数に応じて、適切な電荷量をメモリセルに供給することができる。そのため、昇圧回路で生成された電荷を更に有効利用することができるとともに、メモリセルの負荷容量にあわせて適切な電荷量を供給できる。これは、負荷容量が大きい場合は、コンデンサから供給される電荷量も多くなることを意味する。その結果、データの書換えに必要な電圧を印加するための時間のバラツキを抑える役割をすることができ、また、データの書換え時間も短縮することができる。

【0052】また、請求項4記載の発明によれば、セットアップ時間中は昇圧回路が生成した電荷をコンデンサに充電して蓄積するとともに、NTRGが“L”になった時は、昇圧回路が生成した電荷に加えて、ブースト回

路によってブーストされたコンデンサの充電電荷を、メモリセルに供給して充電することにより、メモリセルのデータ書換え時に必要な設定電圧VPPSETを更に短い時間で供給することができる。

【0053】そのため、クランプダイオードに流れる電流を削減して、無駄な消費電流をなくすことができるとともに、コンデンサが昇圧回路の容量負荷となることを防ぎ、一時的に生じるVPPの低下を抑制して、データの書換え時間を短縮することができる。

10 【図面の簡単な説明】

【図1】本発明の実施の形態1の昇圧電圧制御回路の構成を示すブロック図

【図2】同実施の形態1の昇圧電圧制御回路における動作を示すタイムチャート

【図3】本発明の実施の形態2の昇圧電圧制御回路の構成を示すブロック図

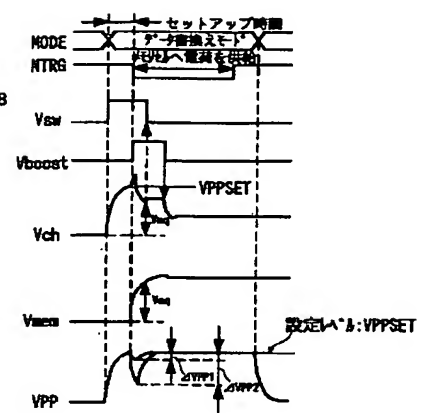
【図4】同実施の形態2の昇圧電圧制御回路における動作を示すタイムチャート

【図5】従来の昇圧電圧制御回路の構成を示すブロック図およびその動作を示すタイムチャート

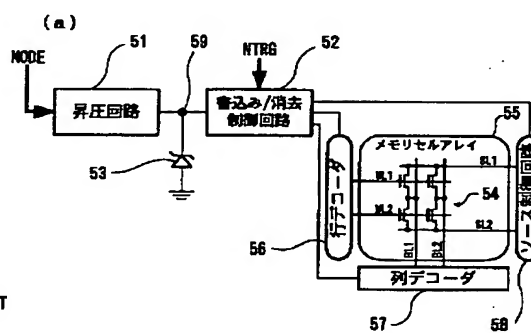
【符号の説明】

- | | |
|----|-----------------|
| 11 | トランジスタ |
| 12 | コンデンサ |
| 13 | タイミング制御回路 |
| 14 | ブースト回路 |
| 15 | コンデンサの第1のノード |
| 16 | タイミング制御回路の出力端子 |
| 21 | 電圧比較回路 |
| 22 | 電圧比較回路の出力端子 |
| 23 | 書込み／消去制御回路の出力端子 |
| 30 | |
| 51 | 昇圧回路 |
| 52 | 書込み／消去制御回路 |
| 53 | クランプダイオード |
| 54 | メモリセル |
| 55 | メモリセルアレイ |
| 56 | 行デコーダ |
| 57 | 列デコーダ |
| 58 | ソース制御回路 |
| 59 | 昇圧回路の出力端子 |

【图 4】



【图 5】



MODE

← セットアップ時間

データ読み込みモード

NTRG

VPPはVPPを設定

設定したVPPデータバイトの読込電圧: VPPSET

VPP

ΔVPP

【図3】

